



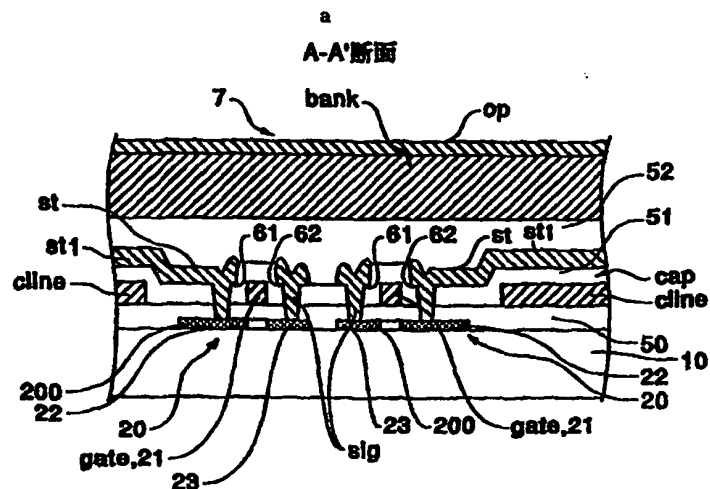
<p>(51) 国際特許分類 G09F 9/30, H05B 33/22, 33/10, H01L 33/00</p>	<p>A1</p>	<p>(11) 国際公開番号 WO99/01857</p> <p>(43) 国際公開日 1999年1月14日(14.01.99)</p>
<p>(21) 国際出願番号 PCT/JP98/02983</p> <p>(22) 国際出願日 1998年7月1日(01.07.98)</p> <p>(30) 優先権データ 特願平9/177454 1997年7月2日(02.07.97) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿二丁目4番1号 Tokyo, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 小澤徳郎(OZAWA, Tokuroh)[JP/JP] 〒392-8502 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP)</p> <p>(74) 代理人 弁理士 鈴木喜三郎, 外(SUZUKI, Kisaburo et al.) 〒392-8502 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社 知的財産部内 Nagano, (JP)</p>		<p>(81) 指定国 CN, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>添付公開書類 国際調査報告書</p>

(54)Title: DISPLAY

(54)発明の名称 表示装置

(57) Abstract

A display wherein no capacitors parasitize data lines and the driving circuit thanks to a bank layer defining a region where an organic semiconductor film is formed in a substrate. Before forming in a pixel region an organic semiconductor film for creating a light emitting device such as an electroluminescent device or an LED, a bank layer (bank) of a black resist is formed around the pixel region. Another bank layer (bank) is formed between a data line (sig) through which image signals are supplied to both of a 1st TFT (20) and a holding capacitor (cap) and an opposed electrode (op) to prevent any capacitor from parasitizing the data line (sig).



a ... A-A' crosssection

(57)要約

基板上に有機半導体膜の形成領域を規定するためのバンク層を利用して、データ線や駆動回路に容量が寄生することを防止することのできる表示装置を提供することを目的に、エレクトロルミネッセンス素子またはLED素子のような発光素子を構成するための有機半導体膜を画素領域(7)に形成する際には、その周囲に黒色のレジストからなるバンク層(bank)を形成しておく。このバンク層(bank)は、画像信号を画素領域(7)の第1のTFT(20)および保持容量(cap)に供給するデータ線(sig)と対向電極(op)との間にも形成し、データ線(sig)に容量が寄生するのを防止する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AL	アルバニア	FI	フィンランド	LK	スリ・ランカ	SI	スロヴェニア
AM	アルメニア	FR	フランス	LR	リベリア	SK	スロヴァキア
AT	オーストリア	GA	ガボン	LS	レソト	SL	シエラ・レオネ
AU	オーストラリア	GB	英国	LT	リトアニア	SN	セネガル
AZ	アゼルバイジャン	GD	グレナダ	LU	ルクセンブルグ	SZ	スワジランド
BA	ボスニア・ヘルツェゴビナ	GE	グルジア	LV	ラトヴィア	TD	チャード
BB	バルバドス	GH	ガーナ	MC	モナコ	TG	トーゴ
BE	ベルギー	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BF	ブルキナ・ファソ	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BG	ブルガリア	GW	ギニア・ビサウ	MK	マケドニア旧ユーゴスラヴィア	TR	トルコ
BJ	ベナン	GR	ギリシャ		共和国	TT	トリニダード・トバゴ
BR	ブラジル	HR	クロアチア	ML	マリ	UA	ウクライナ
BY	ベラルーシ	HU	ハンガリー	MN	モンゴル	UG	ウガンダ
CA	カナダ	ID	インドネシア	MR	モーリタニア	US	米国
CF	中央アフリカ	IE	アイルランド	MW	マラウイ	UZ	ウズベキスタン
CG	コンゴ	IL	イスラエル	MX	メキシコ	VN	ヴェトナム
CH	スイス	IN	インド	NE	ニジェール	YU	ユーゴスラビア
CI	コートジボアール	IS	アイスランド	NL	オランダ	ZW	ジンバブエ
CM	カメルーン	IT	イタリア	NO	ノルウェー		
CN	中国	JP	日本	NZ	ニュージーランド		
CU	キューバ	KE	ケニア	PL	ポーランド		
CY	キプロス	KG	キルギスタン	PT	ポルトガル		
CZ	チェコ	KP	北朝鮮	RO	ルーマニア		
DE	ドイツ	KR	韓国	RU	ロシア		
DK	デンマーク	KZ	カザフスタン	SD	スーダン		
EE	エストニア	LC	セントルシア	SE	スウェーデン		
ES	スペイン	LI	リヒテンシュタイン	SG	シンガポール		

明 細 書

表示装置

5

技術分野

本発明は、有機半導体膜に駆動電流が流れることによって発光する E L (エレクトロルミネッセンス) 素子または L E D (発光ダイオード) 素子などの発光素子を薄膜トランジスタ (以下、T F T という。) で駆動制御するアクティブマトリクス型の表示装置に関するものである。さらに詳しくは、その表示特性を向上するためのレイアウトの最適化技術に関するものである。

背景技術

15 E L 素子または L E D 素子などの電流制御型発光素子を用いたアクティブマトリクス型の表示装置が提案されている。このタイプの表示装置に用いられる発光素子はいずれも自己発光するため、液晶表示装置と違ってバックライトを必要とせず、また、視野角依存性が少ないなどの利点もある。

第 13 図は、このような表示装置の一例として、電荷注入型の有機薄膜 E L 素子を用いたアクティブマトリクス型表示装置のブロック図を示してある。この図に示す表示装置 1 A では、透明基板上に、複数の走査線 g a t e と、該走査線 g a t e の延設方向に対して交差する方向に延設された複数のデータ線 s i g と、該データ線 s i g に並列する複数の共通給電線 c o m と、データ線 s i g と走査線 g a t e との交差点に対応する画素領域 7 とが構成されている。データ線 s i g に対しては、シフトレジスタ、レベルシフト、ビデオライン、アナログスイッチを備えるデータ側駆動回路 3 が構成されている。走査線に対しては、シフトレジスタおよびレベルシフトを備える走査側駆動回路 4 が構成されている。また、画素領域 7 の

各々には、走査線を介して走査信号がゲート電極に供給される第1のTFT20と、この第1のTFT20を介してデータ線sigから供給される画像信号を保持する保持容量capと、該保持容量capによって保持された画像信号がゲート電極に供給される第2のTFT30と、第2のTFT30を介して共通給電線comに電氣的に接続したときに共通給電線comから駆動電流が流れ込む発光素子40とが構成されている。

すなわち、第14図(A)、(B)に示すように、いずれの画素領域においても、島状の2つの半導体膜を利用して第1のTFT20および第2のTFT30が形成され、第2のTFT30のソース・ドレイン領域の一方には、第1層間絶縁膜51のコンタクトホールを介して中継電極35が電氣的に接続し、該中継電極35には画素電極41が電氣的に接続している。この画素電極41の上層側には、正孔注入層42、有機半導体膜43、対向電極opが積層されている。ここで、対向電極opは、データ線sigなどを跨いで複数の画素領域7にわたって形成されている。

第2のTFT30のソース・ドレイン領域のもう一方には、コンタクトホールを介して共通給電線comが電氣的に接続している。これに対して、第1のTFT20では、そのソース・ドレイン領域の一方に電氣的に接続する電位保持電極stは、ゲート電極31の延設部分310に電氣的に接続している。この延設部分310に対しては、その下層側においてゲート絶縁膜50を介して半導体膜400が対向し、この半導体膜400は、それに導入された不純物によって導電化されているので、延設部分310およびゲート絶縁膜50とともに保持容量capを構成している。ここで、半導体膜400に対しては第1の層間絶縁膜51のコンタクトホールを介して共通給電線comが電氣的に接続している。従って、保持容量capは、第1のTFT20を介してデータ線sigから供給される画像信号を保持するので、第1のTFT20がオフになっても、第2のTFT30のゲート電極31は画像信号に相当する電位に保持される。それ故、発光素子40には共通給電線comから駆動電流が流れ続けるので、発光素子4

0は発光し続けることになる。

しかしながら、前記の表示装置において、画素電極41に対向する対向電極opは、液晶表示装置と相違して、同じ透明基板10上において、その表面全体、あるいは複数の画素領域7にわたって形成されるため、対向電極opはデータ線sigとの間に第2の層間絶縁膜52のみを有することになる。このため、データ線sigには大きな容量が寄生することになって、従来の表示装置のままでは、データ線sigの負荷が大きい。同様な問題点は、データ側駆動回路3や走査側駆動回路4の表面側に重なるように対向電極opが形成されることに起因して、駆動回路に形成される配線層と対向電極との間に寄生する容量が大きく、データ側駆動回路3の負荷が大きいという問題点を引き起こす。

ここに、本発明者は、インクジェットヘッドから吐出した液状の材料から有機半導体膜を所定の領域に形成することを検討するとともに、この方法で有機半導体膜を形成する際に有機半導体膜が側方にはみ出すことを防止するために有機半導体膜の形成領域をレジストなどで構成したバンク層で囲うことを検討してきた。このような構成などを利用して、本願発明者は上記の問題点を解消することを提案する。

すなわち、本発明の課題は、基板上に有機半導体膜の形成領域を規定するためのバンク層を利用して、データ線や駆動回路に容量が寄生することを防止することのできる表示装置を提供することにある。

発明の開示

上記課題を解決するため、本発明では、基板上に、複数の走査線と、該走査線の延設方向に対して交差する方向に延設された複数のデータ線と、該データ線に並列する複数の共通給電線と、前記データ線と前記走査線とによりマトリクス状に形成された画素領域とを有し、該画素領域の各々には、前記走査線を介して走査信号がゲート電極に供給される第1のTFTと、該第1のTFTを介して前記データ線から供給される画像信号を保持

する保持容量と、該保持容量によって保持された前記画像信号がゲート電極に供給される第2のTFTと、前記画素領域毎に形成された画素電極と前記データ線を跨いで複数の前記画素電極に対応する対向電極との層間において前記画素電極が前記第2の薄膜トランジスタを介して前記共通給電線
5 に電氣的に接続したときに前記画素電極と前記対向電極との間に流れる駆動電流によって発光する有機半導体膜を具備する発光素子とを有する表示装置において、前記有機半導体膜のうち、発光領域は、前記有機半導体膜よりも厚い絶縁膜からなるバンク層で囲まれているとともに、該バンク層は、前記データ線の少なくとも一部を覆うように構成されていることを特徴とする。
10

本発明において、対向電極は少なくとも画素領域の全面、あるいはストライプ状に広い領域にわたって形成され、データ線と対向する状態にある。従って、このままでは、データ線に対して大きな容量が寄生することになる。しかるに本発明では、データ線と対向電極との間にバンク層が介在し
15 ているので、対向電極との間に形成される容量がデータ線に寄生することを防止できる。その結果、データ線駆動回路の負荷を低減できるので、低消費電力化あるいは表示動作の高速化を図ることができる。

本発明において、前記基板には、前記複数の画素領域とともに、前記データ線に対して前記画像信号を出力する第1の駆動回路、または前記走査線に対して前記走査信号を出力する第2の駆動回路が形成される場合がある。このような駆動回路の形成領域も、前記の対向電極と対向していると、駆動回路に形成された配線層にも大きな容量が寄生することになる。しかるに本発明では、駆動回路もバンク層によって覆うことによって、対向電極との間に形成される容量が駆動回路に寄生することを防止できる。
20
25 その結果、駆動回路の負荷を低減できるので、低消費電力化あるいは表示動作の高速化を図ることができる。

本発明において、前記有機半導体膜は、たとえば、インクジェット法により前記バンク層で囲まれた領域内に形成された膜であり、前記バンク層

は、前記有機半導体膜をインクジェット法により形成する際のはみ出しを防止するための撥水性の膜である。また、前記バンク層は、前記有機半導体膜のはみ出しを防止するという観点から $1\mu\text{m}$ 以上の膜厚で構成してもよく、この場合には、前記有機半導体膜は撥水性でなくても隔壁として機能する。

本発明において、前記画素電極の形成領域のうち、前記第1のTFTおよび前記第2のTFTと重なる領域も前記バンク層で覆われていることが好ましい。本発明において、画素電極の形成領域のうち、前記第1のTFTの形成領域および前記第2のTFTの形成領域と重なる領域では、たとえば対向電極との間に駆動電流が流れて有機半導体膜が発光しても、この光は第1のTFTや第1のTFTに遮られ、表示には寄与しない。かかる表示に寄与しない部分で有機半導体膜に流れる駆動電流は、表示という面からみて無効電流といえる。そこで、本発明では、従来ならこのような無効電流が流れるはずの部分にバンク層を形成し、そこに駆動電流が流れることを防止する。その結果、共通給電線に流れる電流が小さくすることができるので、その分、共通給電線の幅を狭くすれば、その結果として、その分、発光面積を増すことができ、輝度、コントラスト比などの表示性能を向上させることができる。

本発明では、前記バンク層を黒色のレジスト膜から構成することによって、それをブラックマトリクスとして利用し、表示の品位を高めることが好ましい。すなわち、本発明に係る表示装置では、対向電極が少なくとも画素領域の全面、あるいは広い領域にわたってストライプ状に形成されると、対向電極からの反射光がコントラスト比を低下させる。しかるに本発明では、寄生容量を防止するための機能も担うバンク層を黒色のレジストで構成したため、ブラックマトリクスとしても機能する。それ故、バンク層は対向電極からの反射光を遮るので、コントラスト比が向上する。

本発明において、共通給電線には、各画素の発光素子を駆動するための駆動電流が流れるので、データ線に比較して大きな電流が流れる。そこで、

本発明では、前記共通給電線の単位長さ当たりの抵抗値を、前記データ線の単位長さ当たりの抵抗値よりも小さくして、その電流容量を大きくすることが好ましい。たとえば、前記共通給電線と前記データ線とは材料及び膜厚が同一である場合には、前記共通給電線の線幅を前記データ線の線幅よりも広くする。

本発明において、前記共通給電線の両側には、該共通給電線との間で前記駆動電流の通電が行われる画素領域が配置され、該画素領域に対して前記共通給電線とは反対側を前記データ線が通っていることが好ましい。すなわち、データ線、それに接続する画素群、1本の共通給電線、それに接続する画素群、および該画素群に画素信号を供給するデータ線を1つの単位としてそれを走査線の延設方向に繰り返す。このように構成すると、2列分の画素に対して1本の共通給電線で済む。それ故、1列の画素群ごとに共通給電線を形成する場合と比較して、共通給電線の形成領域を狭めることができるので、その分、発光面積を増すことができ、輝度、コントラスト比などの表示性能を向上させることができる。

また、上記の構成によると、2本のデータ線が並列することになるため、これらのデータ線の間でクロストークが発生するおそれがある。そこで、本発明では、2本のデータ線の間には相当する位置には配線層を形成することが好ましい。このように構成すると、2本のデータ線の間にはそれらとは別の配線層が通っているため、このような配線層を少なくとも画像の1水平走査期間で固定電位としておくだけで上記のクロストークを防止できる。

本発明において、前記有機半導体膜をインクジェット法で形成するのであれば、前記走査線の延設方向に沿って隣接するいずれの画素領域間でも、前記有機半導体膜の形成領域の中心のピッチを等しくしておくことが好ましい。このように構成すると、走査線の延設方向に沿って等間隔の位置にインクジェットヘッドから前記有機半導体膜の材料を吐出させればよいので、位置制御機構が簡易で済むとともに、位置精度が向上する。

図面の簡単な説明

第 1 図は、本発明を適用した表示装置、およびそれに形成したバンク層の形成領域を模式的に示す説明図である。

5 第 2 図は、本発明を適用した表示装置のブロック図である。

第 3 図は、本発明を適用した表示装置の画素領域を拡大して示す平面図である。

第 4 図は、第 3 図の A-A' 線における断面図である。

第 5 図は、第 3 図の B-B' 線における断面図である。

10 第 6 図 (A) は第 3 図の C-C' 線における断面図、第 6 図 (B) はバンク層の形成領域を中継電極を覆うまで拡張しない構造の断面図である。

第 7 図は、第 1 図に示す表示装置に用いた発光素子の I-V 特性を示すグラフである。

第 8 図は、本発明を適用した表示装置の製造方法を示す工程断面図である。

15 第 9 図は、第 1 図に示す表示装置の改良例を示すブロック図である。

第 10 図 (A) は、第 9 図に示す表示装置に形成したダミーの配線層を示す断面図、第 10 図 (B) はその平面図である。

第 11 図は、第 1 図に示す表示装置の変形例を示すブロック図である。

20 第 12 図 (A) は、第 11 図に示す表示装置に形成した画素領域を拡大して示す平面図、第 12 図 (B) はその断面図である。

第 13 図は、従来の表示装置のブロック図である。

第 14 図 (A) は、第 13 図に示す表示装置に形成した画素領域を拡大して示す平面図、第 14 図 (B) はその断面図である。

[符号の説明]

- | | | |
|----|---|----------------------|
| 25 | 1 | 表示装置 |
| | 2 | 表示部 |
| | 3 | データ側駆動回路 (第 1 の駆動回路) |
| | 4 | 走査側駆動回路 (第 2 の駆動回路) |

5	検査回路
6	実装用パッド
7	画素領域
10	透明基板
5 20	第1のTFT
21	第1のTFTのゲート電極
30	第2のTFT
31	第2のTFTのゲート電極
40	発光素子
10 41	膜画素電極
42	正孔注入層
43	有機半導体膜
50	ゲート絶縁膜
51	第1の層間絶縁膜
15 52	第2の層間絶縁膜
DA	ダミーの配線層
bank	バンク層
cap	保持容量
cline	容量線
20 com	共通給電線
gate	走査線
op	対向電極
sig	データ線
st	電位保持電極

25

発明を実施するための最良の形態

図面を参照して、本発明の実施の形態を説明する。

(アクティブマトリクス基板の全体構成)

第1図は、表示装置の全体のレイアウトを模式的に示すブロック図である。

この図に示すように、本形態の表示装置1では、その基体たる透明基板10の中央部分が表示部2とされている。透明基板10の外周部分のうち、データ線sigの両端側には画像信号を出力するデータ側駆動回路3（第1の駆動回路）、および検査回路5が構成され、走査線gateの両端側には走査信号を出力する走査側駆動回路4（第2の駆動回路）が構成されている。これらの駆動回路3、4では、N型のTFTとP型のTFTとによって相補型TFTが構成され、この相補型TFTは、シフトレジスタ、レベルシフタ、アナログスイッチなどを構成している。なお、透明基板10上において、データ側駆動回路3よりも外周領域には、画像信号や各種の電位、パルス信号を入力するための端子群とされる実装用パッド6が形成されている。

15 このよう構成した表示装置1では、液晶表示装置のアクティブマトリクス基板と同様、透明基板10上に、複数の走査線gateと、該走査線gateの延設方向に対して交差する方向に延設された複数のデータ線sigとが構成され、これらのデータ線sigと走査線gateとによりマトリクス状に形成された複数の画素領域7が構成されている。

20 これらの画素領域7のいずれにも、第2図に示すように、走査線gateを介して走査信号がゲート電極21（第1のゲート電極）に供給される第1のTFT20が構成されている。このTFT20のソース・ドレイン領域の一方は、データ線sigに電氣的に接続され、他方は電位保持電極stに電氣的に接続されている。走査線gateに対しては容量線cline
25 neが並列配置され、この容量線clineと電位保持電極stとの間には保持容量capが形成されている。従って、走査信号によって選択されて第1のTFT20がオン状態になると、データ線sigから画像信号が第1のTFT20を介して保持容量capに書き込まれる。

電位保持電極 *s t* には第 2 の T F T 3 0 のゲート電極 3 1 (第 2 のゲート電極) が電氣的に接続されている。第 2 の T F T 3 0 のソース・ドレイン領域の一方は、共通給電線 *c o m* に電氣的に接続されている一方、他方は発光素子 4 0 の一方の電極 (後述する画素電極) に電氣的に接続されている。共通給電線 *c o m* は、定電位に保持されている。従って、第 2 の T F T 3 0 がオン状態になったときに、第 2 の T F T 3 0 を介して共通給電線 *c o m* の電流が発光素子 4 0 に流れ、発光素子 4 0 を発光させる。

但し、本形態では、共通給電線 *c o m* の両側には、該共通給電線 *c o m* との間で駆動電流の供給が行われる発光素子 4 0 を有する画素領域 7 が配置され、これらの画素領域 7 に対して共通給電線 *c o m* とは反対側を 2 本のデータ線 *s i g* が通っている。すなわち、データ線 *s i g*、それに接続する画素群、1 本の共通給電線 *c o m*、それに接続する画素群、および該画素群に画素信号を供給するデータ線 *s i g* を 1 つの単位としてそれを走査線 *g a t e* の延設方向に繰り返してあり、共通給電線 *c o m* は、1 本で 2 列分の画素に対して駆動電流を供給する。従って、1 列の画素群ごとに共通給電線 *c o m* を形成する場合と比較して、共通給電線 *c o m* の形成領域が狭くて済み、発光面積を増やすことができるので、輝度、コントラスト比などの表示性能を向上させることができる。なお、このように 1 本の共通給電線 *c o m* に 2 列分の画素が接続される構成としたため、データ線 *s i g* は 2 本ずつ並列する状態にあって、それぞれの列の画素群に対して画像信号を供給することになる。

(画素領域の構成)

このように構成した表示装置 1 の各画素領域 7 の構造を第 3 図ないし第 6 図 (A) を参照して詳述する。

第 3 図は、本形態の表示装置 1 に形成されている複数の画素領域 7 のうちの 3 つの画素領域 7 を拡大して示す平面図、第 4 図、第 5 図、および第 6 図 (A) はそれぞれは、その A-A' 線における断面図、B-B' 線における断面図、および C-C' 線における断面図である。

まず、第3図におけるA-A'線に相当する位置では、第4図に示すように、透明基板10上には各画素領域7の各々に第1のTFT20を形成するための島状のシリコン膜200が形成され、その表面にはゲート絶縁膜50が形成されている。また、ゲート絶縁膜50の表面にはゲート電極21が形成され、該ゲート電極21に対して自己整合的に高濃度の不純物が導入されたソース・ドレイン領域22、23が形成されている。ゲート絶縁膜50の表面側には第1の層間絶縁膜51が形成され、この層間絶縁膜に形成されたコンタクトホール61、62を介して、ソース・ドレイン領域22、23にはデータ線sig、および電位保持電極stがそれぞれ電氣的に接続されている。

各画素領域7には走査線gateと並列するように、走査線gateやゲート電極21と同一の層間（ゲート絶縁膜50と第1の層間絶縁膜51との間）には容量線clineが形成されており、この容量線clineに対しては、第1の層間絶縁膜51を介して電位保持電極stの延設部分st1が重なっている。このため、容量線clineと電位保持電極stの延設部分st1とは、第1の層間絶縁膜51を誘電体膜とする保持容量capを構成している。なお、電位保持電極stおよびデータ線sigの表面側には第2の層間絶縁膜52が形成されている。

第3図におけるB-B'線に相当する位置では、第5図に示すように、透明基板10上に形成された第1の層間絶縁膜51および第2の層間絶縁膜52の表面に各画素領域7に対応するデータ線sigが2本、並列している状態にある。

第3図におけるC-C'線に相当する位置では、第6図(A)に示すように、透明基板10上には共通給電線comを挟む2つの画素領域7に跨がるように、第2のTFT30を形成するための島状のシリコン膜300が形成され、その表面にはゲート絶縁膜50が形成されている。また、ゲート絶縁膜50の表面には、共通給電線comを挟むように、各画素領域7の各々にゲート電極31がそれぞれ形成され、このゲート電極31に対

して自己整合的に高濃度の不純物が導入されたソース・ドレイン領域 3 2、3 3 が形成されている。ゲート絶縁膜 5 0 の表面側には第 1 の層間絶縁膜 5 1 が形成され、この層間絶縁膜に形成されたコンタクトホール 6 3 を介して、ソース・ドレイン領域 6 2 に中継電極 3 5 が電氣的に接続されている。一方、シリコン膜 3 0 0 の中央の 2 つの画素領域 7 において共通のソース・ドレイン領域 3 3 となる部分に対しては、第 1 の層間絶縁膜 5 1 のコンタクトホール 6 4 を介して、共通給電線 c o m が電氣的に接続されている。これらの共通給電線 c o m、および中継電極 3 5 の表面には第 2 の層間絶縁膜 5 2 が形成されている。第 2 の層間絶縁膜 5 2 の表面には I T O 膜からなる画素電極 4 1 が形成されている。この画素電極 4 1 は、第 2 の層間絶縁膜 5 2 に形成されたコンタクトホール 6 5 を介して中継電極 3 5 に電氣的に接続され、また中継電極 3 5 を介して第 2 の T F T 3 0 のソース・ドレイン領域 3 2 に電氣的に接続されている。

ここで、画素電極 4 1 は発光素子 4 0 の一方の電極を構成している。すなわち、画素電極 4 1 の表面には正孔注入層 4 2 および有機半導体膜 4 3 が積層され、さらに有機半導体膜 4 3 の表面には、リチウム含有アルミニウム、カルシウムなどの金属膜からなる対向電極 o p が形成されている。この対向電極 o p は、少なくとも画素領域 4 1 の全面、あるいはストライプ状に形成された共通の電極であって、一定の電位に保持されている。

このように構成された発光素子 4 0 では、対向電極 o p および画素電極 4 1 をそれぞれ正極および負極として電圧が印加され、第 7 図に示すように、印加電圧がしきい値電圧を越えた領域で有機半導体膜 4 3 に流れる電流（駆動電流）が急激に増大する。その結果、発光素子 4 0 は、エレクトロルミネッセンス素子あるいは L E D 素子として発光し、発光素子 4 0 の光は、対向電極 o p に反射されて透明な画素電極 4 1 および透明基板 1 0 を透過して出射される。

このような発光を行うための駆動電流は、対向電極 o p、有機半導体膜 4 3、正孔注入層 4 2、画素電極 4 1、第 2 の T F T 3 0、および共通給

電線 c o m から構成される電流経路を流れるため、第 2 の T F T 3 0 がオフ状態になると、流れなくなる。但し、本形態の表示装置 1 では、走査信号によって選択されて第 1 の T F T 2 0 がオン状態になると、データ線 s i g から画像信号が第 1 の T F T 2 0 を介して保持容量 c a p に書き込まれる。従って、第 2 の T F T 3 0 のゲート電極は、第 1 の T F T 2 0 がオフ状態になっても、保持容量 c a p によって画像信号に相当する電位に保持されるので、第 2 の T F T 3 0 はオン状態のままである。それ故、発光素子 4 0 には駆動電流が流れ続け、この画素は点灯状態のままである。この状態は、新たな画像データが保持容量 c a p に書き込まれて、第 2 の T F T 3 0 がオフ状態になるまで維持される。

(表示装置の製造方法)

このように構成した表示装置 1 の製造方法では、透明基板 1 0 上に第 1 の T F T 2 0 および第 2 の T F T 3 0 を製造するまでの工程は、液晶表示装置 1 のアクティブマトリクス基板を製造する工程と略同様であるため、第 8 図を参照してその概要を説明する。

第 8 図は、表示装置 1 の各構成部分を形成していく過程を模式的に示す工程断面図である。

すなわち、第 8 図 (A) に示すように、透明基板 1 0 に対して、必要に応じて、T E O S (テトラエトキシシラン) や酸素ガスなどを原料ガスとしてプラズマ C V D 法により厚さが約 2 0 0 0 ~ 5 0 0 0 オングストロームのシリコン酸化膜からなる下地保護膜 (図示せず。) を形成する。次に基板の温度を約 3 5 0 °C に設定して、下地保護膜の表面にプラズマ C V D 法により厚さが約 3 0 0 ~ 7 0 0 オングストロームのアモルファスのシリコン膜からなる半導体膜 1 0 0 を形成する。次にアモルファスのシリコン膜からなる半導体膜 1 0 0 に対して、レーザアニールまたは固相成長法などの結晶化工程を行い、半導体膜 1 0 0 をポリシリコン膜に結晶化する。レーザアニール法では、たとえば、エキシマレーザでビームの長寸が 4 0 0 m m のラインビームを用い、その出力強度はたとえば 2 0 0 m J / c m

2 である。ラインビームについてはその短寸方向におけるレーザ強度のピーク値の90%に相当する部分が各領域毎に重なるようにラインビームを走査していく。

次に、第8図(B)に示すように、半導体膜100をパターニングして島状の半導体膜200、300とし、その表面に対して、TEOS(テトラエトキシシラン)や酸素ガスなどを原料ガスとしてプラズマCVD法により厚さが約600~1500オングストロームのシリコン酸化膜または窒化膜からなるゲート絶縁膜50を形成する。

次に、第8図(C)に示すように、アルミニウム、タンタル、モリブデン、チタン、タングステンなどの金属膜からなる導電膜をスパッタ法により形成した後、パターニングし、ゲート電極21、31を形成する(ゲート電極形成工程)。この工程では、走査線gateおよび容量線clineも形成する。なお、図中、310は、ゲート電極31の延設部分である。

この状態で、高濃度のリンイオンを打ち込んで、シリコン薄膜200、300にはゲート電極21、31に対して自己整合的にソース・ドレイン領域22、23、32、33を形成する。なお、不純物が導入されなかった部分がチャネル領域27、37となる。

次に、第8図(D)に示すように、第1の層間絶縁膜51を形成した後、コンタクトホール61、62、63、64、69を形成し、データ線sig、容量線clineおよびゲート電極31の延設部分310に重なる延設部分st1を備える電位保持電極st、共通給電線com、および中継電極35を形成する。その結果、電位保持電極stはコンタクトホール69および延設部分310を介してゲート電極31に電氣的に接続する。このようにして第1のTFT20および第2のTFT30を形成する。また、容量線clineと電位保持電極stの延設部分st1とによって保持容量capが形成される。

次に、第8図(E)に示すように、第2の層間絶縁膜52を形成し、この層間絶縁膜には、中継電極35に相当する部分にコンタクトホール65

を形成する。次に、第2の層間絶縁膜52の表面全体にITO膜を形成した後、パターニングし、コンタクトホール65を介して第2のTFT30のソース・ドレイン領域32に電氣的に接続する画素電極41を形成する。

次に、第8図(F)に示すように、第2の層間絶縁膜52の表面側に黒色のレジスト層を形成した後、このレジストを発光素子40の正孔注入層42および有機半導体膜43を形成して発光領域とすべき領域を囲むように残し、バンク層bankを形成する。ここで、有機半導体膜43は、各画素毎に独立して、たとえば箱状に形成される場合、データ線sigに沿ってストライプ状に形成される場合などのいずれの場合であっても、それ
5
10
に対応する形状にバンク層bankを形成するだけで、本形態に係る製造方法を適用できる。

次に、バンク層bankの内側領域に対してインクジェットヘッドIJから、正孔注入層42を構成するための液状の材料（前駆体）を吐出し、バンク層bankの内側領域に正孔注入層42を形成する。同様に、バンク層bankの内側領域に対してインクジェットヘッドIJから、有機半導体膜43を構成するための液状の材料（前駆体）を吐出し、バンク層bankの内側領域に有機半導体膜43を形成する。ここで、バンク層bankはレジストから構成されているため、撥水性である。これに対して、有機半導体膜43の前駆体は親水性の溶媒を用いているため、有機半導体膜43の塗布領域はバンク層bankによって確実に規定され、隣接する画素にはみ出ることがない。それ故、有機半導体膜43などを所定領域内だけに形成できる。但し、予めバンク層bankからなる隔壁が1 μ mほどの高さであれば、バンク層bankが撥水性でなくても、バンク層bankは隔壁として十分に機能する。なお、バンク層bankを形成してお
15
20
25
ければ、インクジェット法に代えて、塗布法で正孔注入層42や有機半導体膜43を形成する場合でもその形成領域を規定できる。

このように、有機半導体膜43や正孔注入層42をインクジェット法により形成する場合には、その作業効率を高めるために、本形態では、第3

図に示すように、走査線 gate の延設方向に沿って隣接するいずれの画素領域 7 間でも、前記有機半導体膜 43 の形成領域の中心のピッチ P を等しくしてある。従って、矢印 Q で示すように、走査線 gate の延設方向に沿って等間隔の位置にインクジェットヘッド I J から有機半導体膜 43 の材料などを吐出すればよいので、作業効率がよいという利点がある。また、インクジェットヘッド I J が等ピッチの移動で良いということにより、インクジェットヘッド I J の移動機構が簡易になり、かつ、インクジェットヘッド I J の打ち込み精度を高めるのも容易になる。

しかる後には、第 8 図 (G) に示すように、透明基板 10 の表面全体に対して、あるいはストライプ状に対向電極 op を形成する。なお、バンク層 bank については、それが黒色のレジストから構成されているので、そのまま残し、以下に説明するように、ブラックマトリクス BM、および寄生容量を低減するための絶縁層として利用する。

なお、第 1 図に示すデータ側駆動回路 3 や走査側駆動回路 4 にも TFT が形成されるが、これらの TFT は前記の画素領域 7 に TFT を形成していく工程の全部あるいは一部を援用して行われる。それ故、駆動回路を構成する TFT も、画素領域 7 の TFT と同一の層間に形成されることになる。

また、前記第 1 の TFT 20、および第 2 の TFT 30 については、双方が N 型、双方が P 型、一方が N 型で他方が P 型のいずれでもよいが、このようないずれの組合せであっても周知の方法で TFT を形成していけるので、その説明を省略する。

なお、発光素子 40 としては、発光効率（正孔注入率）がやや低下するものの、正孔注入層 42 を省くこともある。また、正孔注入層 42 に代えて電子注入層を有機半導体膜 43 に対して正孔注入層 42 とは反対側に形成する場合、正孔注入層 42 および電子注入層の双方を形成する場合がある。

(バンク層の形成領域)

本形態では、第1図に示す透明基板10の周辺領域の総てに対して、前記のバンク層bank（形成領域に斜線を付してある。）を形成する。従って、データ側駆動回路3および走査側駆動回路4はいずれも、バンク層bankによって覆われている。このため、これらの駆動回路の形成領域
5 に対して対向電極opが重なる状態にあっても、駆動回路の配線層と対向電極opとの間にバンク層bankが介在することになる。それ故、駆動回路3、4に容量が寄生することを防止できるため、駆動回路3、4の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

10 また、本形態では、第3図ないし第5図に示すように、データ線sigに重なるようにバンク層bankを形成してある。従って、データ線sigと対向電極opとの間にバンク層bankが介在することになるので、データ線sigに容量が寄生することを防止できる。その結果、データ側駆動回路3の負荷を低減できるので、低消費電力化あるいは表示動作の高速化を図ることができる。
15

さらに、本形態では、第3図、第4図、および第6図（A）に示すように、画素電極41の形成領域のうち、中継電極35と重なる領域にもバンク層bankが形成されている。第6図（B）に示すように、例えば、中継電極35と重なる領域にバンク層bankがないと、対向電極opとの
20 間に駆動電流が流れて有機半導体膜43が発光しても、この光は中継電極35と対向電極opとの間に挟まれて外に出射されず、表示に寄与しない。かかる表示に寄与しない部分で流れる駆動電流は、表示という面からみて無効電流といえる。しかるに本形態では、従来ならこのような無効電流が流れるはずの部分にバンク層bankを形成し、そこに駆動電流が流れる
25 ことを防止するので、共通給電線comに無駄な電流が流れることが防止できる。それ故、共通給電線comの幅はその分、狭くてよい。

たとえば、本形態では、共通給電線comには、データ線sigと違って、発光素子40を駆動するための大きな電流が流れ、しかも、2列分の

画素に対して駆動電流を供給する。それ故、共通給電線 *com* については、データ線 *sig* と同一の材料から構成されているが、その線幅をデータ線 *sig* の線幅よりも広く設定してあるため、共通給電線 *com* の単位長さ当たりの抵抗値は、データ線 *sig* の単位長さ当たりの抵抗値よりも小さい。それでも、本形態では、共通給電線 *com* に前記の無効電流が流れることを抑えることによって、共通給電線 *com* の線幅については必要最小限の線幅としてあるので、画素領域 7 の発光面積を増すことができ、輝度、コントラスト比などの表示性能を向上させることができる。

また、前記のようにバンク層 *bank* を形成しておく、バンク層 *bank* はブラックマトリクスとして機能し、コントラスト比などの表示の品位が向上する。すなわち、本形態に係る表示装置 1 では、対向電極 *op* が透明基板 10 の表面側において画素領域 7 の全面、あるいは広い領域にわたってストライプ状に形成されるため、対向電極 *op* での反射光がコントラスト比を低下させる。しかるに本形態では、寄生容量を防止するための機能も担うバンク層 *bank* を黒色のレジストで構成したため、バンク層 *bank* はブラックマトリクスとしても機能し、対向電極 *op* からの反射光を遮るので、コントラスト比が向上する。

[上記形態の改良例]

上記形態では、共通給電線 *com* の両側のそれぞれに、該共通給電線 *com* との間で駆動電流が流れる画素領域 7 が配置され、該画素領域 7 に対して前記共通給電線 *com* とは反対側を 2 本のデータ線 *sig* が並列して通っている。従って、2 本のデータ線 *sig* の間でクロストークが発生するおそれがある。そこで、本形態では、第 9 図、第 10 図 (A)、(B) に示すように、2 本のデータ線 *sig* の間に相当する位置には、ダミーの配線層 *DA* を形成してある。このダミーの配線層 *DA* としては、たとえば、画素電極 41 と同時形成された ITO 膜 *DA1* を利用することができる。また、ダミーの配線層 *DA* としては、2 本のデータ線 *sig* の間に容量線 *cline* からの延設部分 *DA2* を構成してもよい。これらの双方をダミ

一の配線層DAとして用いてもよい。

このように構成すると、並列する2本のデータ線sigの間にはそれらとは別の配線層DAが通っているので、このような配線層DA(DA1、DA2)を少なくとも画像の1水平走査期間内で固定電位としておくだけで、上記のクロストークを防止できる。すなわち、第1の層間絶縁膜51
5 および第2の層間絶縁膜52は、膜厚が凡そ $1.0\mu\text{m}$ であるのに対して、2本のデータ線sigの間隔は約 $2\mu\text{m}$ 以上であるため、各データ線sigとダミーの配線層DA(DA1、DA2)との間に構成される容量に比して、2本のデータ線sigの間に構成される容量は十分に無視できる。
10 る。それ故、データ線sigから漏れた高周波数の信号はダミーの配線層DAで吸収されるので、2本のデータ線sigの間でのクロストークを防止できる。

[その他の形態]

なお、上記形態では、保持容量capを構成するのに容量線cline
15 (容量電極)を形成したが、従来技術で説明したように、TFTを構成するためのポリシリコン膜を利用して保持容量capを構成してもよい。

また、第11図に示すように、共通給電線comと電位保持電極stとの間に保持容量capを構成してもよい。この場合には、第12図(A)、
(B)に示すように、電位保持電極stとゲート電極31とを電氣的に接続させるためのゲート電極31の延設部分310を共通給電線comの下
20 層側にまで拡張し、この延設部分310と共通給電線comとの間の位置する第1の層間絶縁膜51を誘電体膜とする保持容量capを構成すればよい。

25 発明の利用可能性

以上説明したように、本発明に係る表示装置では、発光素子を構成する有機半導体膜の形成領域を規定する絶縁性のバンク層をデータ線と対向電極との間、または駆動回路と対向電極との間に介在させることに特徴を有

する。従って、データ線や駆動回路に重なるように対向電極を形成しても、データ線や駆動回路の配線層に容量が寄生することを防止できる。それ故、駆動回路の負荷を低減できるとともに、画像信号の高周波数化を図ることができる。

請 求 の 範 囲

1. 基板上に、複数の走査線と、該走査線の延設方向に対して交差する方向に延設された複数のデータ線と、該データ線に並列する複数の共通給電線と、前記データ線と前記走査線とによりマトリクス状に形成された画素領域とを有し、該画素領域の各々には、前記走査線を介して走査信号が第1のゲート電極に供給される第1の薄膜トランジスタと、該第1の薄膜トランジスタを介して前記データ線から供給される画像信号を保持する保持容量と、該保持容量によって保持された前記画像信号が第2のゲート電極に供給される第2の薄膜トランジスタと、前記画素領域毎に形成された画素電極と前記データ線を跨いで複数の前記画素電極に対応する対向電極との層間において前記画素電極が前記第2の薄膜トランジスタを介して前記共通給電線に電氣的に接続したときに前記画素電極と前記対向電極との間に流れる駆動電流によって発光する機半導体膜を具備する発光素子とを有する表示装置において、

前記有機半導体膜のうち、発光領域は、前記有機半導体膜よりも厚い絶縁膜からなるバンク層で囲まれているとともに、該バンク層は、前記データ線の少なくとも一部を覆うように構成されていることを特徴とする表示装置。

20

2. 請求の範囲第1項において、前記基板上には、前記複数の画素領域とともに、前記データ線に対して前記画像信号を出力する第1の駆動回路、および前記走査線に対して前記走査信号を出力する第2の駆動回路のうちの少なくとも一方の駆動回路が形成されているとともに、該駆動回路は前記バンク層によって覆われていることを特徴とする表示装置。

25

3. 基板上に、複数の走査線と、該走査線の延設方向に対して直交する方向に延設された複数のデータ線と、該データ線に並列する複数の共通

給電線と、前記データ線に対して前記画像信号を出力する第1の駆動回路、および前記走査線に対して前記走査信号を出力する第2の駆動回路のうちの少なくとも一方の駆動回路と、前記データ線と前記走査線とによりマトリクス状に形成された画素領域とを有し、該画素領域の各々には、前記走査線を介して走査信号が第1のゲート電極に供給される第1の薄膜トランジスタと、該第1の薄膜トランジスタを介して前記データ線から供給される画像信号を保持する保持容量と、該保持容量によって保持された前記画像信号が第2のゲート電極に供給される第2の薄膜トランジスタと、前記画素領域毎に形成された画素電極と前記データ線を跨いで複数の前記画素電極に対応する対向電極との層間において前記画素電極が前記第2の薄膜トランジスタを介して前記共通給電線に電気的に接続したときに前記画素電極と前記対向電極との間に流れる駆動電流によって発光する有機半導体膜を具備する発光素子とを有する表示装置において、

前記有機半導体膜のうち、発光領域は、前記有機半導体膜よりも厚い絶縁膜からなるバンク層で囲まれているとともに、該バンク層は前記駆動回路を覆うように構成されていることを特徴とする表示装置。

4. 請求の範囲第1項ないし第3項のいずれかにおいて、前記有機半導体膜は、インクジェット法により前記バンク層で囲まれた領域内に形成された膜であり、前記バンク層は、撥水性を有する膜であることを特徴とする表示装置。

5. 請求の範囲第1項ないし第3項のいずれかにおいて、前記有機半導体膜は、インクジェット法により前記バンク層で囲まれた領域内に形成された膜であり、前記バンク層は、膜厚が $1\mu\text{m}$ 以上であることを特徴とする表示装置。

6. 請求の範囲第1項ないし第5項のいずれかにおいて、前記画素電

極の形成領域のうち、前記第 1 の薄膜トランジスタおよび前記第 2 の薄膜トランジスタと重なる領域は、前記バンク層で覆われていることを特徴とする表示装置。

5 7. 請求の範囲第 1 項ないし第 6 項のいずれかにおいて、前記バンク層は黒色のレジスト膜から構成されていることを特徴とする表示装置。

8. 請求の範囲第 1 項ないし第 7 項のいずれかにおいて、前記共通給電線の単位長さ当たりの抵抗値は、前記データ線の単位長さ当たりの抵抗
10 値よりも小さいことを特徴とする表示装置。

9. 請求の範囲第 1 項ないし第 7 項のいずれかにおいて、前記共通給電線と前記データ線とは材料及び膜厚が同一で、かつ、前記共通給電線の線幅は、前記データ線の線幅よりも広いことを特徴とする表示装置。

15

10. 請求の範囲第 1 項ないし第 9 項のいずれかにおいて、前記共通給電線の両側には、該共通給電線との間で前記駆動電流の通電が行われる画素領域が配置され、該画素領域に対して前記共通給電線とは反対側を前記データ線が通っていることを特徴とする表示装置。

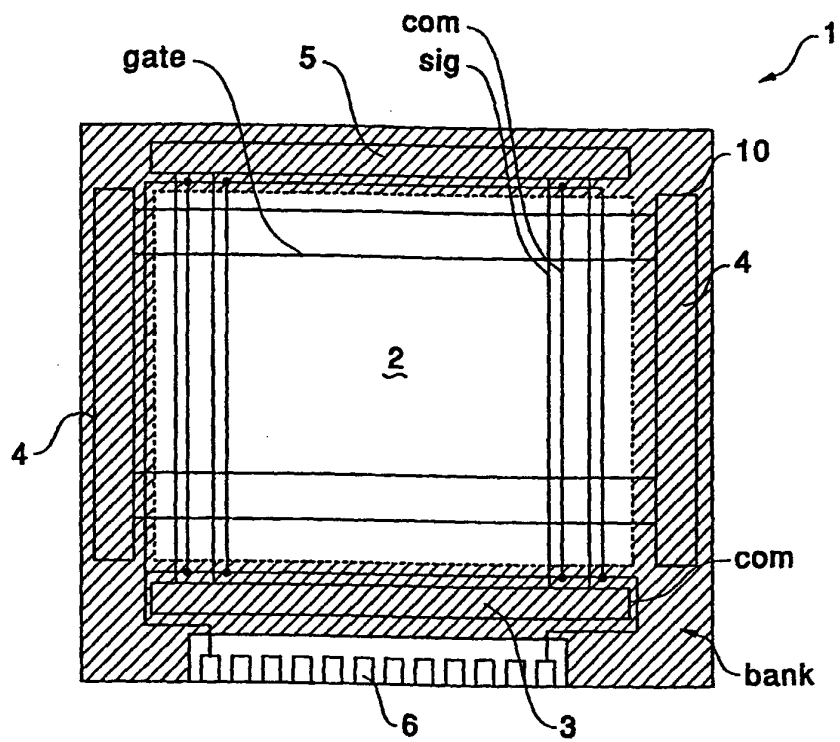
20

11. 請求の範囲第 10 項において、前記画素領域に対して前記共通給電線とは反対側を通る 2 本のデータ線の間に相当する位置には、配線層が形成されていることを特徴とする表示装置。

25 12. 請求の範囲第 1 項ないし第 11 項のいずれかにおいて、前記走査線の延設方向に沿って隣接するいずれの画素領域間でも、前記有機半導体膜の形成領域の中心のピッチが等しいことを特徴とする表示装置。

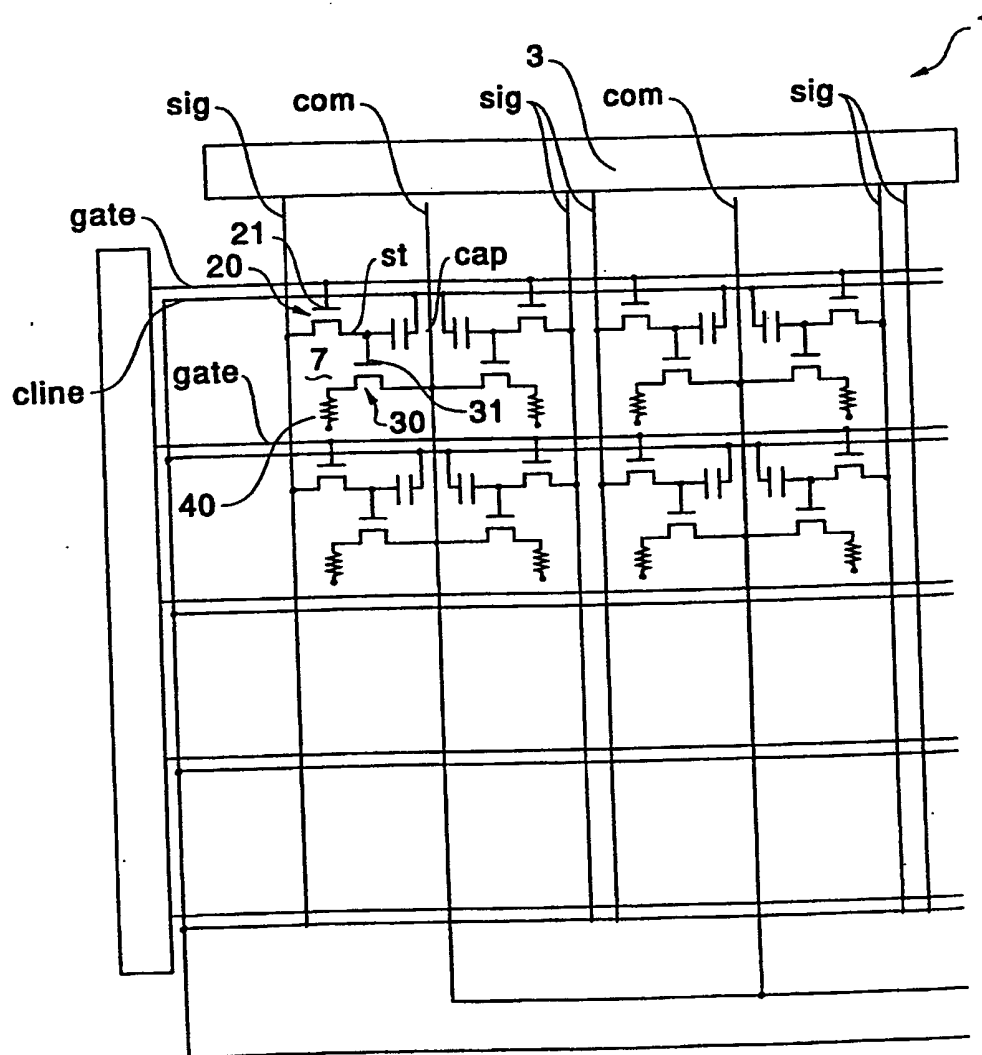
1/13

第1図

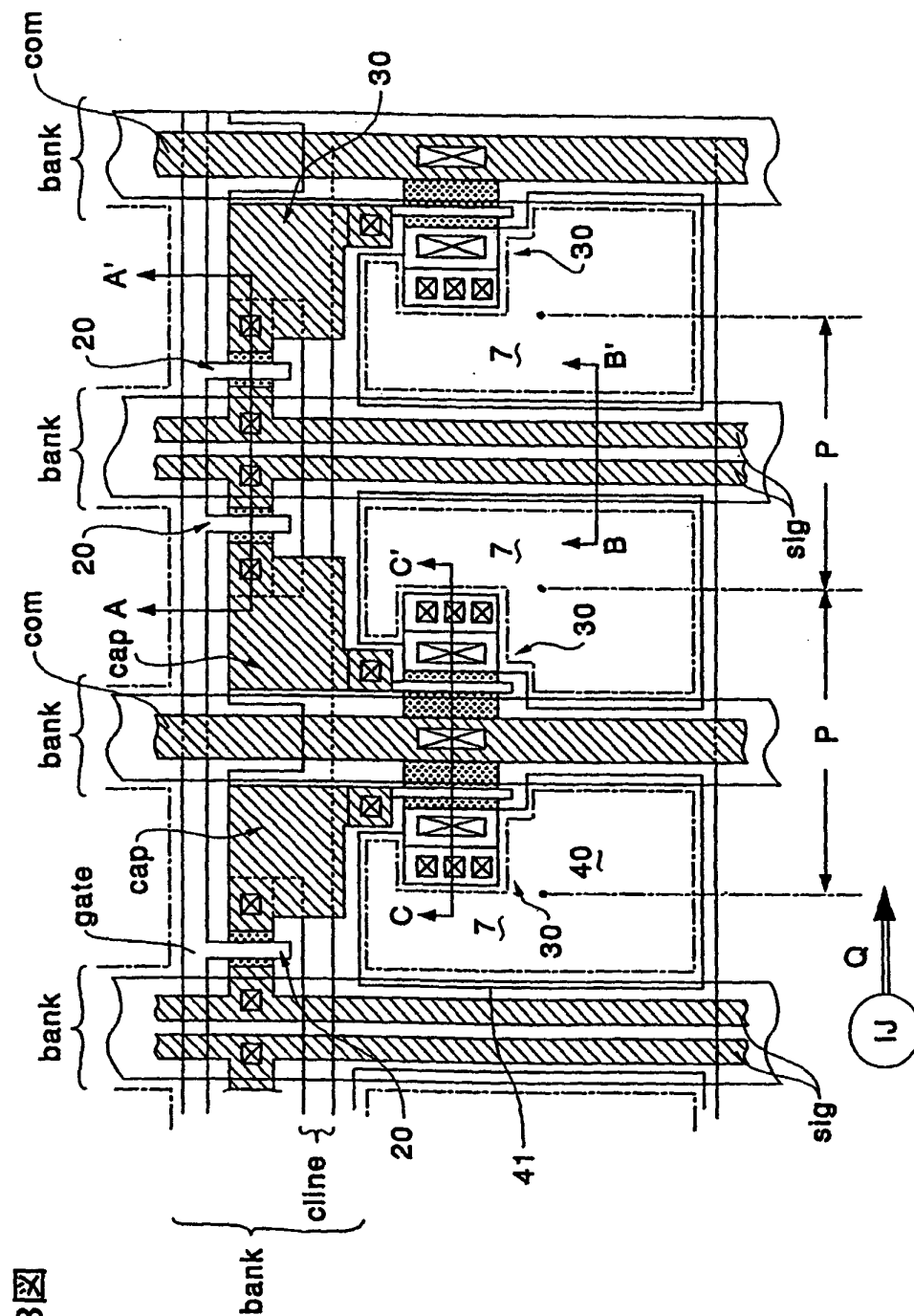


2/13

第2図



3/13



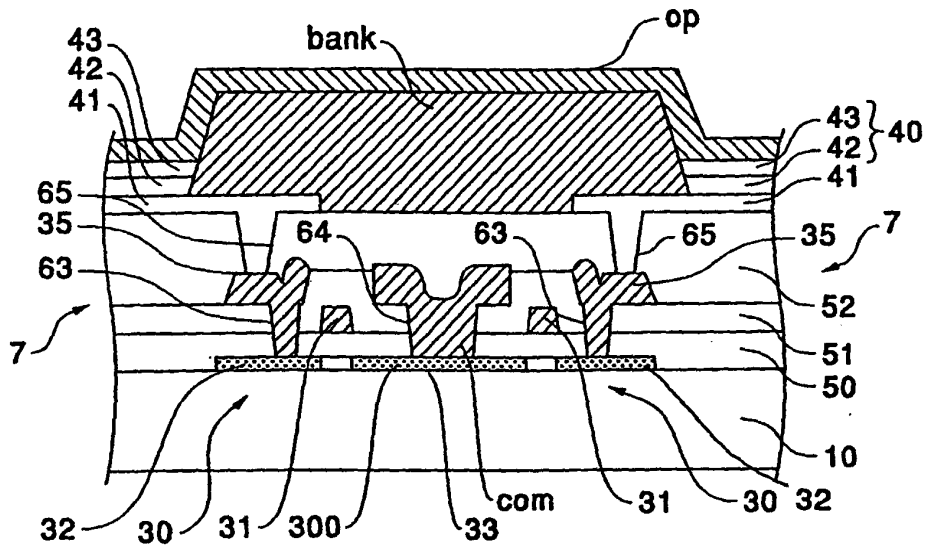
第3図

5/13

第6図

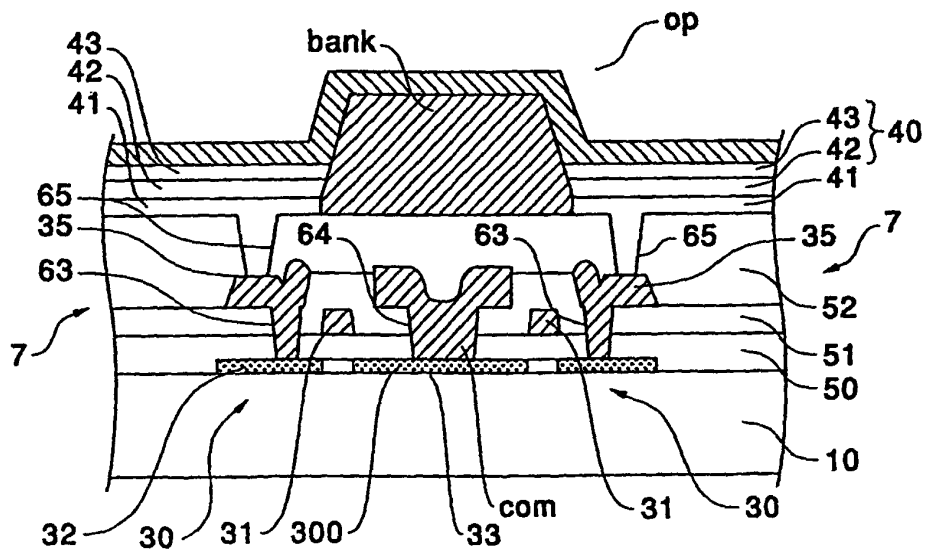
(A)

C-C'断面



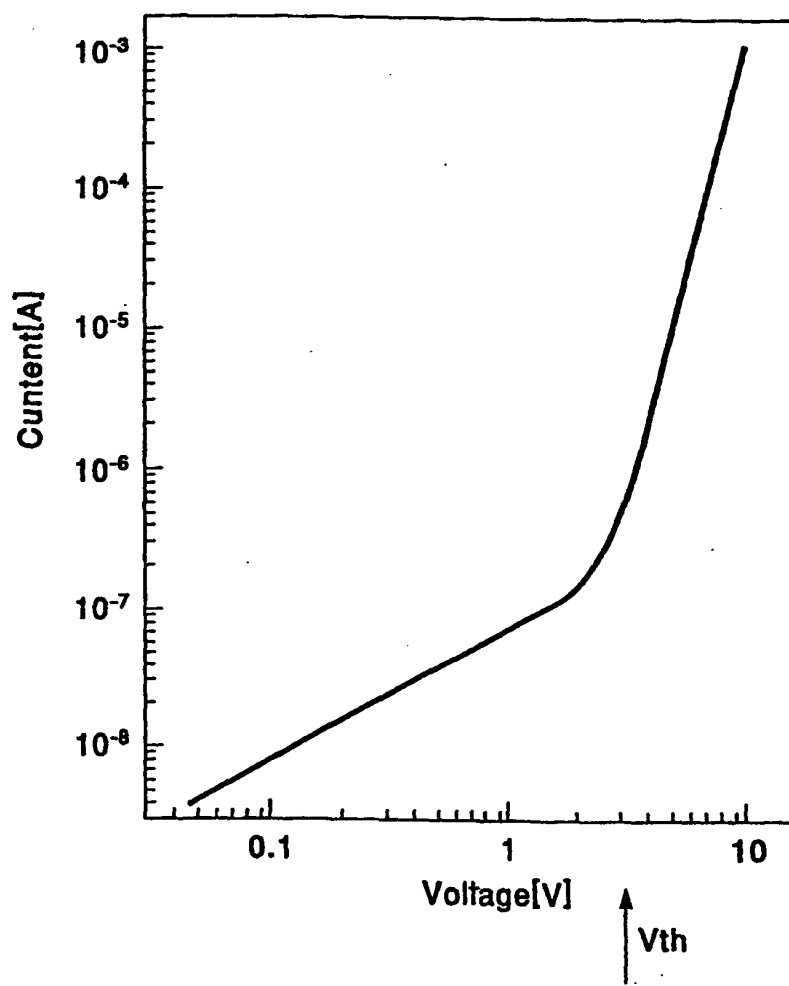
(B)

C-C'断面



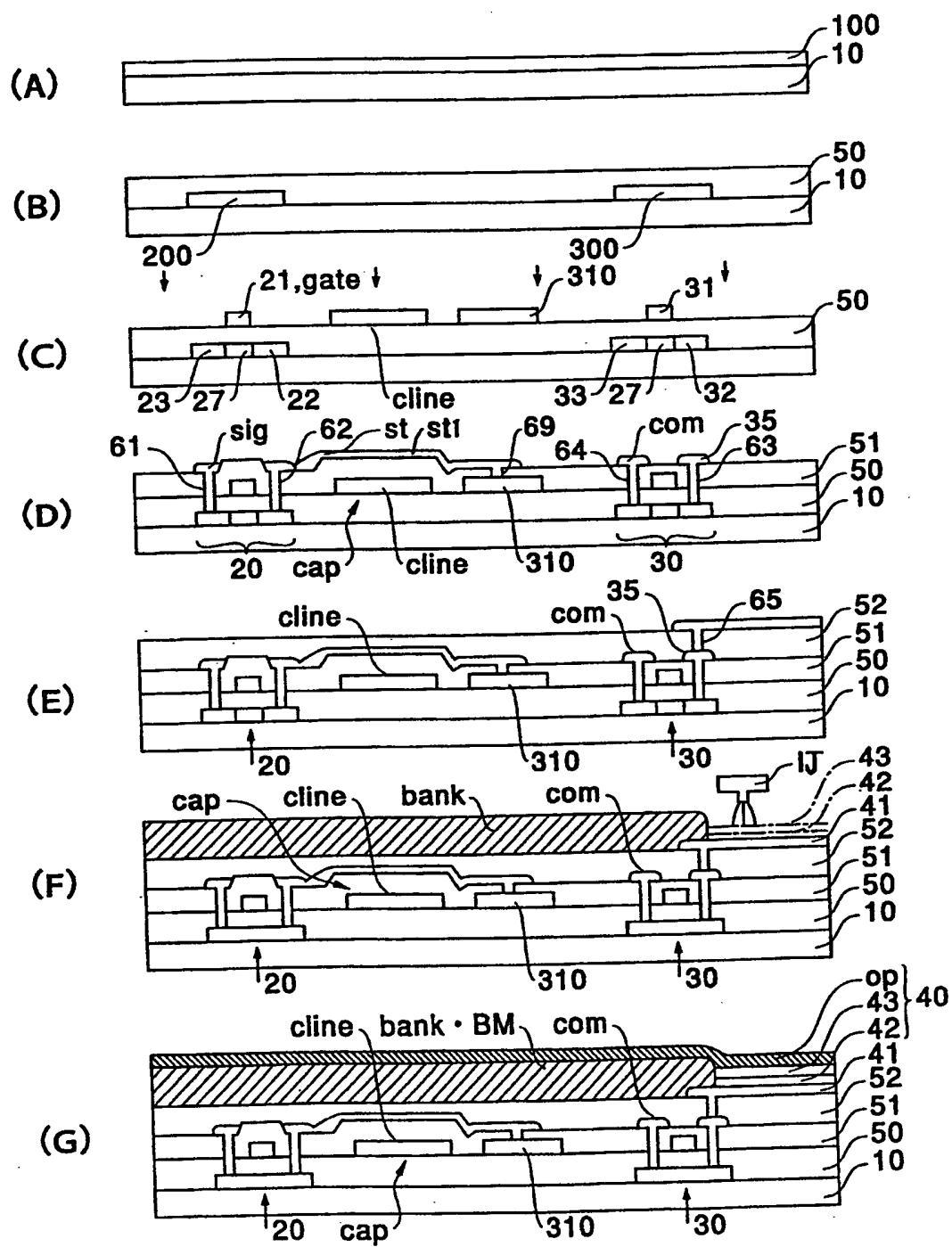
6/13

第7図



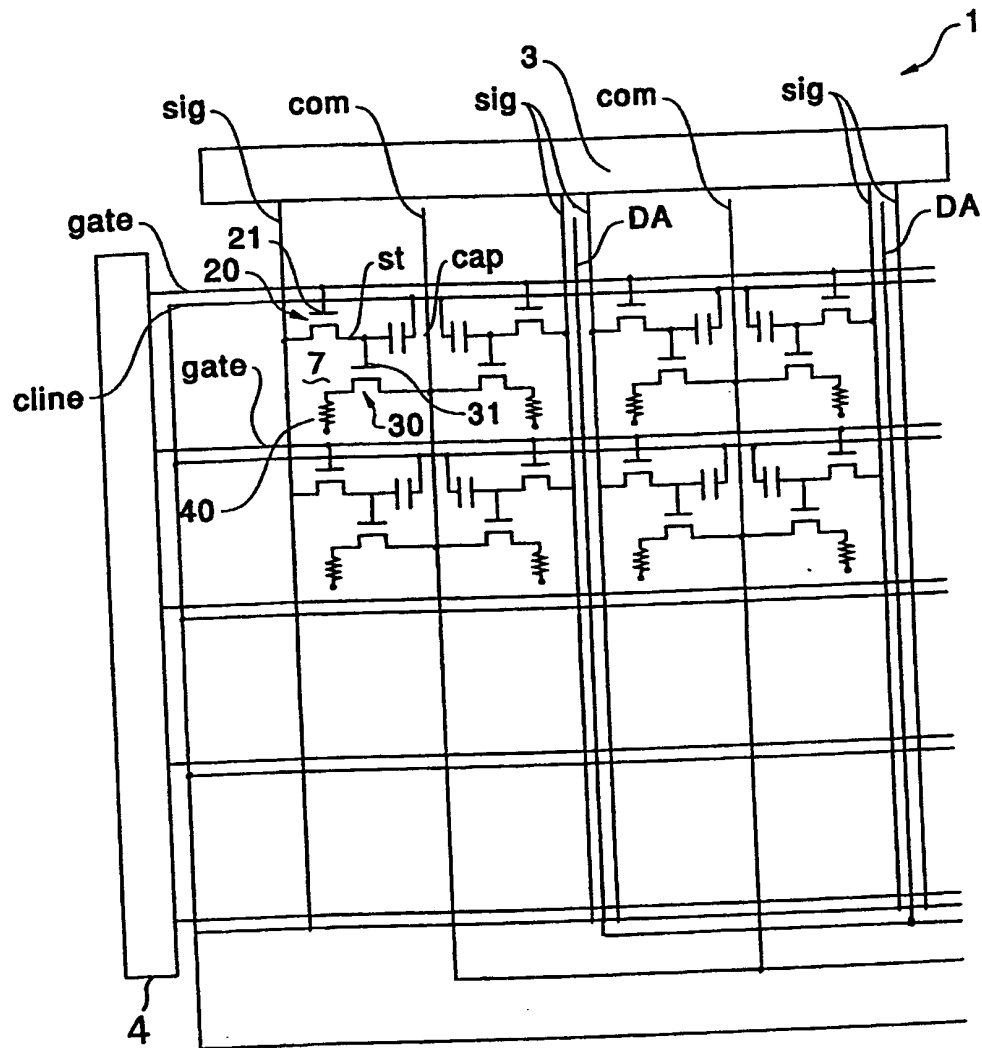
7/13

第8図



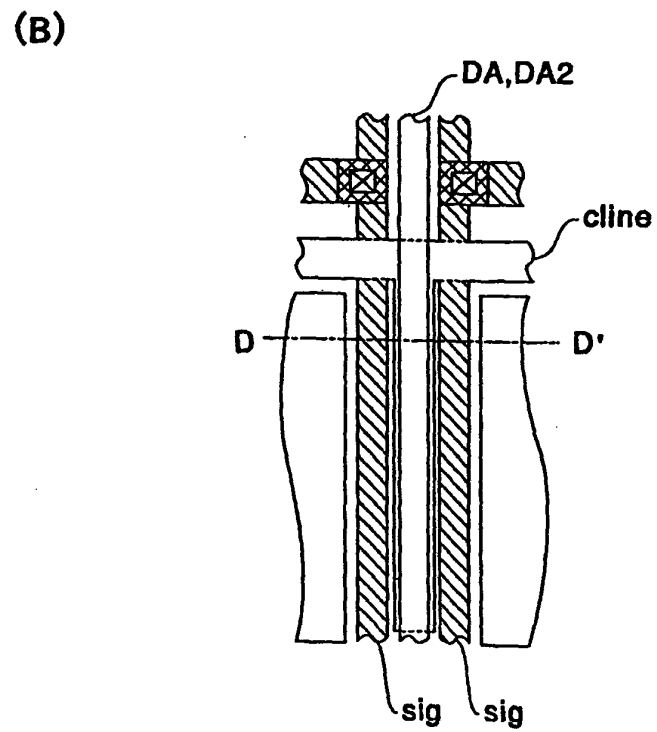
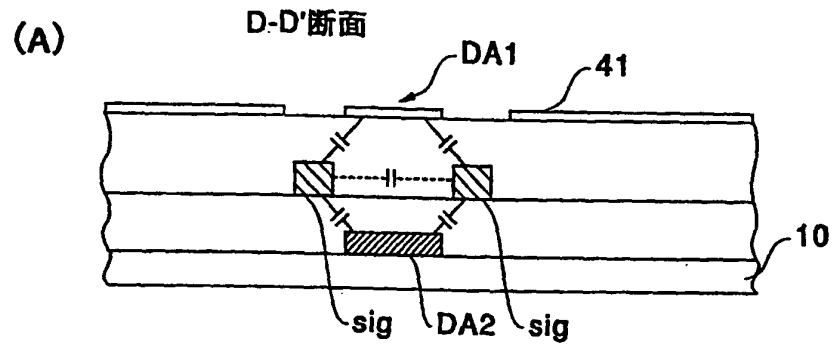
8/13

第9図



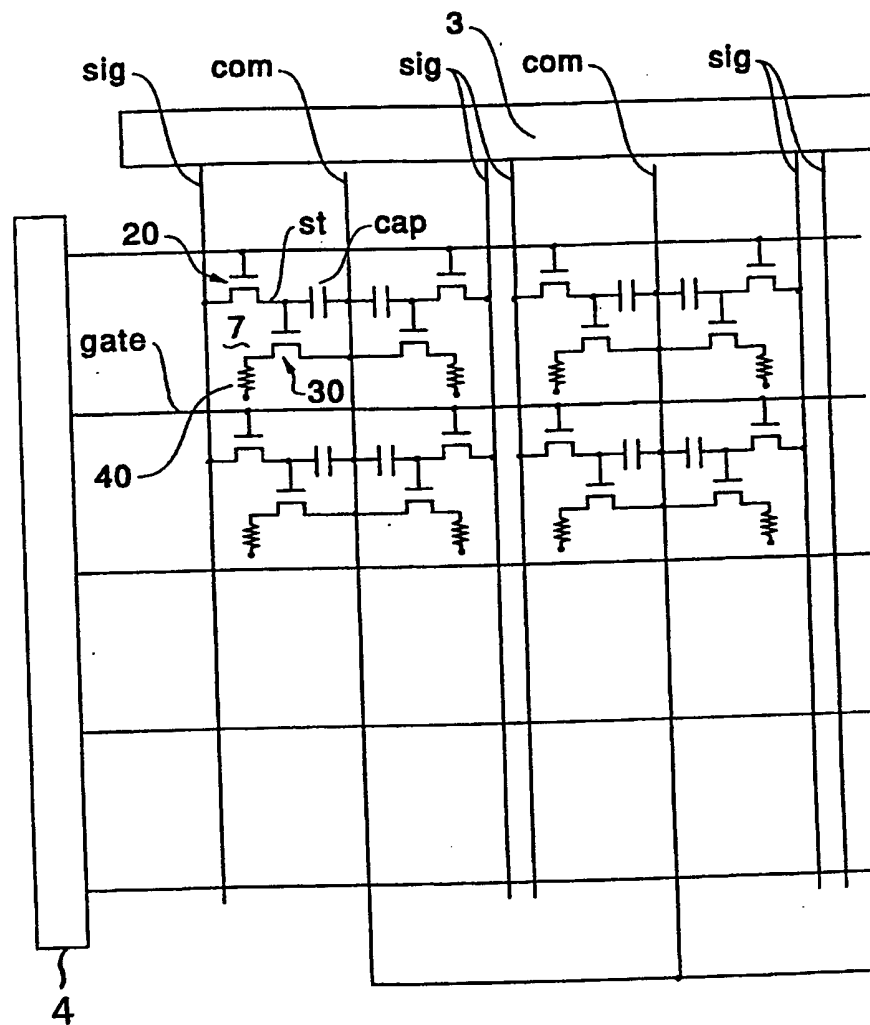
9/13

第10図



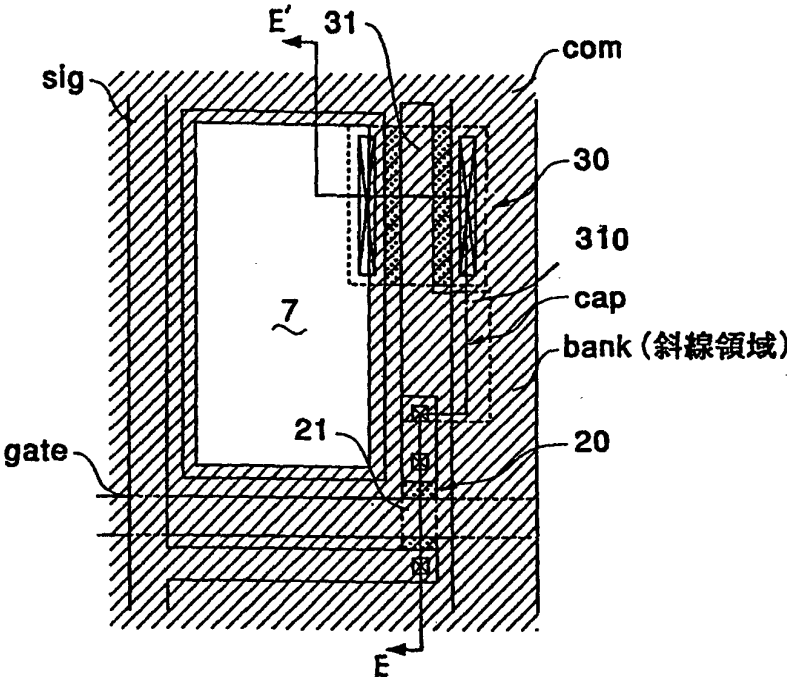
10/13

第11図

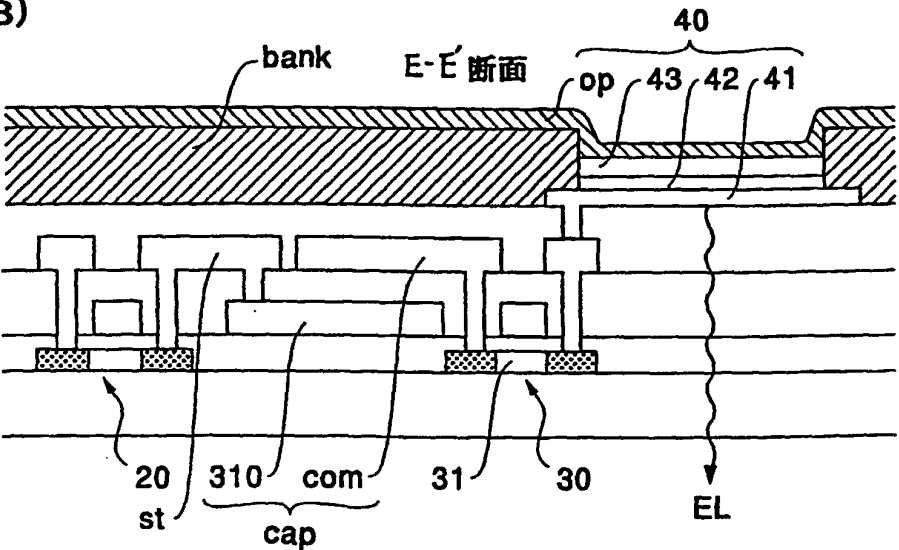


第12図

(A)

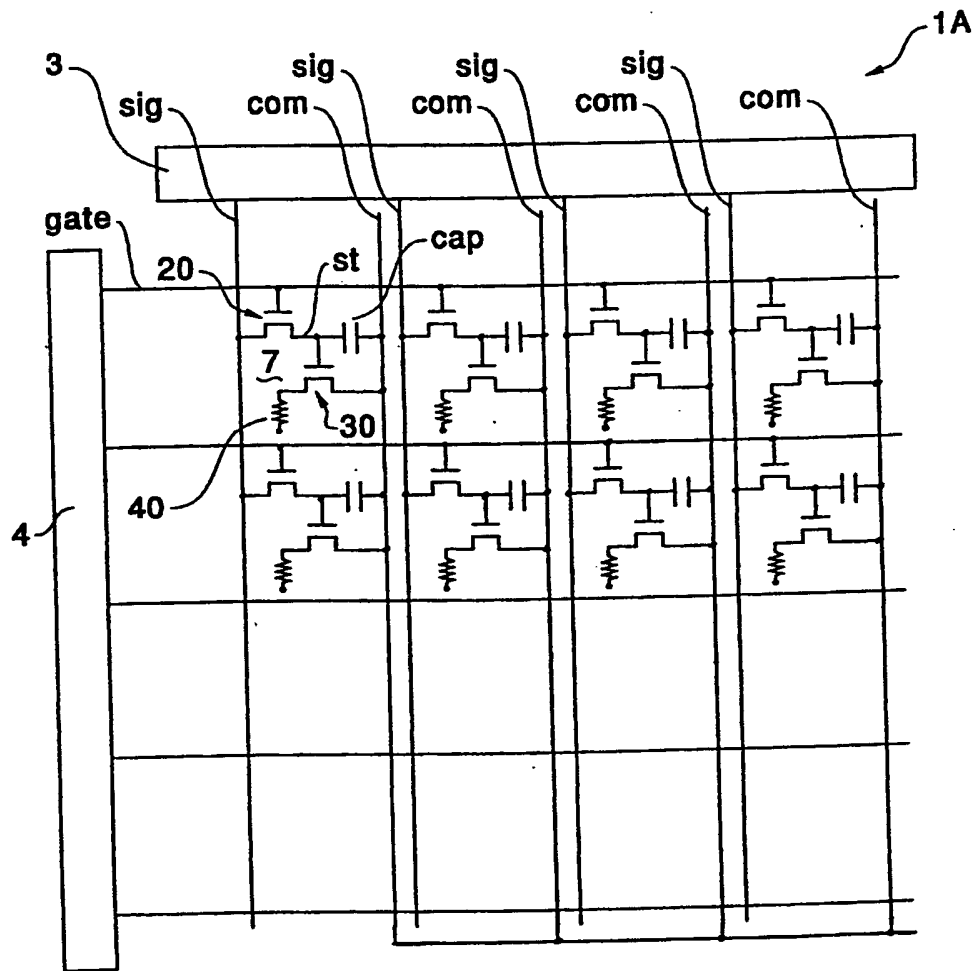


(B)



12/13

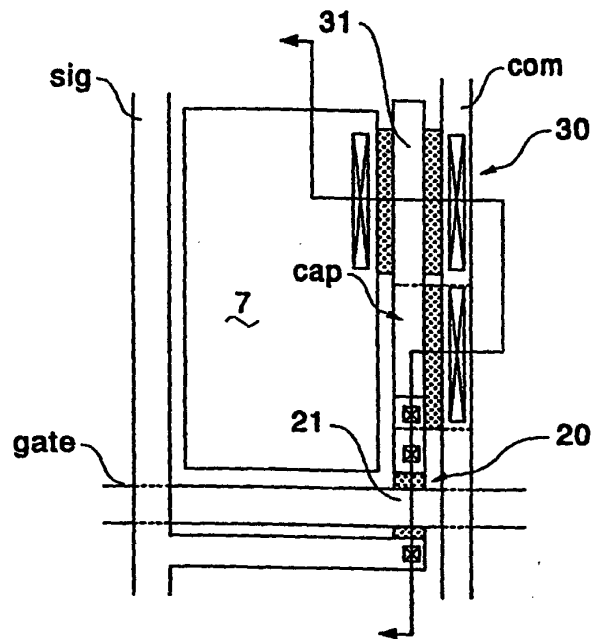
第13図



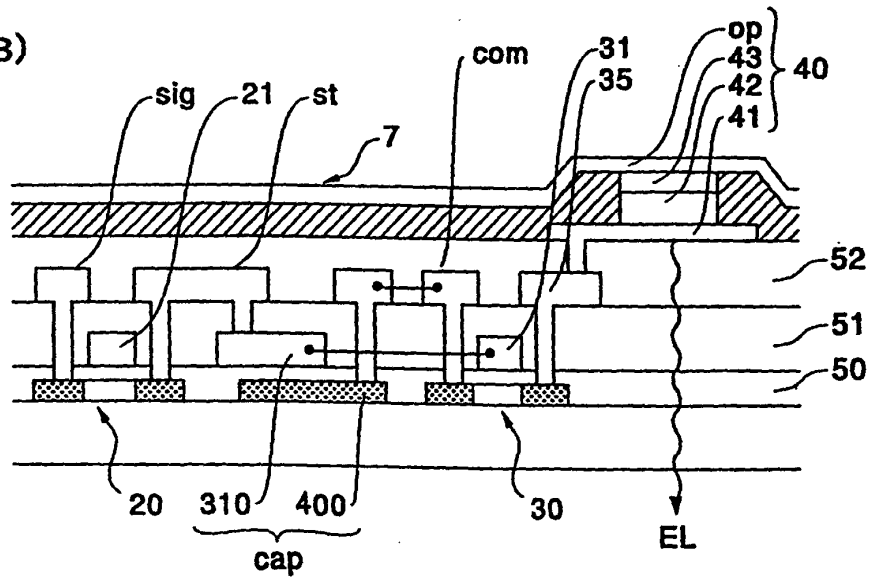
13/13

第14図

(A)



(B)



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP98/02983

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁶ G09F9/30, H05B33/22, H05B33/10, H01L33/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁶ G09F9/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Kokai Jitsuyo Shinan Koho 1926-1998 Toroku Jitsuyo Shinan Koho 1994-1998
Jitsuyo Shinan Koho 1971-1998

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, A, 7-57871 (Hitachi, Ltd.), 3 March, 1995 (03. 03. 95) (Family: none)	

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed
 "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
22 Septemb r, 1998 (22. 09. 98)

Date of mailing of the international search report
6 October, 1998 (06. 10. 98)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

国際出願番号 PCT/J P 98/02983

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁸ G09F9/30 H05B33/22 H05B33/10 H01L33/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁸ G09F9/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国公開実用新案公報	1926-1998
日本国実用新案公報	1971-1998
日本国登録実用新案公報	1994-1998

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, A, 7-57871 (株式会社日立製作所) 03. 03月1995, 03. 03. 95 ファミリーなし	

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 先行文献ではあるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

22. 09. 98

国際調査報告の発送日

06.10.98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

大野 克人

5H

7706

電話番号 03-3581-1101 内線 3532